



L 467 8167.63



jc856 U.S. PTO  
09/604086  
02/27/00

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 1999년 제 24581 호  
Application Number

출원 년 월 일 : 1999년 06월 28일  
Date of Application

출원 인 : 현대전자산업주식회사  
Applicant(s)



2000 년 03 월 08 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF  
PRIORITY DOCUMENT

【서류명】	출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	6
【제출일자】	1999.06.28
【발명의 명칭】	출력 데이터 압축방법 및 패킷명령어 구동형 메모리소자
【발명의 영문명칭】	OUTPUT DATA COMPRESSION METHOD AND PACKET COMMAND DRIVING TYPE MEMORY DEVICE
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	김성욱
【성명의 영문표기】	KIM, Sung Wook
【주민등록번호】	650801-1017811
【우편번호】	132-034
【주소】	서울특별시 도봉구 쌍문4동 산 68번지 금호타운 2차아파트 206동 902 호
【국적】	KR
【발명자】	
【성명의 국문표기】	김인홍
【성명의 영문표기】	KIM, In Hong
【주민등록번호】	710215-1118015
【우편번호】	143-202
【주소】	서울특별시 광진구 구의2동 33-84호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 13 면 13,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 471,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 패킷 명령어(packet command) 구동형 메모리에 관한 것으로서, 특히 테스트시간을 감소시키고, 페일이 발생된 위치를 확인할 수 있는 출력 데이터 압축방법 및 메모리소자에 관한 것이다.

본 발명의 출력데이터 압축방법은 코어 셀 영역중 해당하는 어드레스로 제1의 일정 비트의 데이터를 기입하고, 상기 어드레스에 기입된 제1의 일정비트의 데이터를 독출하며, 상기 기입된 데이터와 독출된 데이터를 상위 일정비트와 하위일정비트로 나누어 비교하여 페일여부에 대한 정보를 갖는 1비트의 압축된 데이터를 발생하는 것을 특징으로 한다.

**【대표도】**

도 4

## 【명세서】

## 【발명의 명칭】

출력 데이터 압축방법 및 패킷명령어 구동형 메모리소자{output data compression method and packet command driving type memory device}

## 【도면의 간단한 설명】

도1은 종래기술에 의한 패킷명령어 구동형 메모리소자에 있어서, 데이터 패스 구조를 도시한 도면,

도2는 도 1의 패킷 명령어 구동형 메모리소자에 있어서, 인터페이스블럭과 데이터 입출력블럭간의 데이터 패스를 상세히 도시한 도면,

도3은 본 발명의 실시예에 따른 독출데이터 비교블럭을 구비한 패킷명령어 구동형 메모리소자에 있어서, 독출 데이터 비교블럭과 인터페이스블럭 및 데이터 입출력블럭간의 데이터 패스 구조를 도시한 도면,

도4는 도3의 패킷명령어 구동형 메모리소자에 있어서, 독출 데이터 비교블럭, 인터페이스블럭 및 데이터 입출력블럭간의 데이터 패스를 상세히 도시한 도면,

도 5는 도 4의 데이터 입출력블럭에 있어서, 각 데이터출력 시프트블럭의 상세도,

도 6은 도 4의 독출 데이터 비교블럭에 있어서, 각 비교기의 상세도,

도 7A 내지 도 7H는 본 발명의 패킷명령어 구동형 메모리소자가 DA 모드를 수행하는 경우의 동작 파형도,

(도면의 주요 부분에 대한 부호의 설명)

100 : 코아셀 영역

20 : 칼럼 콘트롤블럭

300 : 데이터 입출력블럭	400 : 인터페이스블럭
500 : 독출 데이터비교블럭	DQA, DQB : 데이터 패드
301 - 304 : 시프트레지스터블럭	401 - 404 : 멀티플렉서 및 드라이버
501 - 509 : 비교기	509 -512 : 멀티플렉서

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 패킷 명령어 (packet cammand) 구동형 메모리에 관한 것으로, 특히 테스트시간을 감소시킬 수 있으며, 페일이 발생된 위치를 정확하게 판별할 수 있는 출력데이터 압축방법 및 프리페치된 데이터 출력구조를 갖는 메모리소자에 관한 것이다.
- <15> 종래의 패킷명령어 구동형 메모리소자, 예를 들면 램버스 디램과 같은 메모리소자에 있어서, 데이터 패스 구조가 도 1에 도시되어 있으며, 도 2는 도 1의 A 부분(점선부분)에 대한 상세도를 도시한 것으로서, 코어 셀영역(10)으로부터 출력패드(DQ)로의 데이터가 출력되는 패스를 보여주는 도면이다.
- <16> 데이터 기입시에는 각 데이터 패드(DQA0-DQA7, DQB0-DQB7)당 각 클럭의 네가티브 에지 및 포지티브 에지에서 각각 1비트 데이터를 인터페이스블럭(40)으로 전송되어 4클럭사이클동안 8비트씩 데이터를 패킷한다. 4클럭사이클동안 패킷된 8비트의 데이터중 우수 데이터는 예를 들면 클럭신호(tc1k)의 상승에지에서 인터페이스블럭(40)을 통해 데이터 입출력블럭으로 전송되고, 기수 데이터는 예를 들면 클럭신호(tc1k)의 상승에지에서 인터페이스블럭(40)을 통해 데이터 입출력블럭(30)으로 전송된다.

<17> 인터페이스블럭(40)을 통해 전송된 8비트 데이터는 데이터 입출력블럭(30)의 데이터 입력 시프트블럭(도면상에는 도시되지 않음)을 통해 8비트의 병렬데이터 WD<0:7>로 변환되어 컬럼 콘트롤블럭(20)을 통해 코어셀 영역(10)으로 전송되어 패킷형태로 기입된다.

<18> 한편, 데이터 독출시에는 상기와는 반대로 코어 셀블럭(10)으로부터 패킷형태로 독출된 8비트 데이터 RD<0:7>가 컬럼 콘트롤블럭(20)을 통해 데이터 입출력블럭(30)으로 전송되고, 입출력블럭(30)은 시프트 레지스터(31-34)를 통해 직렬 데이터로 변환하고, 인터페이스블럭(40)의 멀티플렉서 및 드라이버(41-44)는 클럭신호(tclk)의 상승에지에서는 우수 데이터 erread<0,2,4,6>를 클럭신호(tclk)의 하강에지에서는 기수 데이터 odd<1,3,5,7>를 데이터 패드로 전송한다. 따라서, 4클럭사이클동안 8비트의 직렬데이터가 각각의 데이터패드(DQA0-DQA7, DQB0-DQB7)를 통해 패킷형태로 전송된다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 상기한 바와같은 데이터 패스구조를 갖는 종래의 메모리소자는 셀코어 영역(10)으로부터 데이터를 8비트씩 프리페치하고(prefetch), 데이터 입출력부(30)의 시프트 레지스터를 통해 클럭신호의 상승에지와 폴링에지에 맞추어 데이터를 출력하였다.

<20> 그러나, 상기한 바와같은 데이터패스 구조를 갖는 종래의 메모리소자는 데이터 출력패스가 각각의 출력 데이터핀마다 분리되어 있어 DA 테스트모드시 메모리소자의 모든 출력 데이터 패드의 출력을 체크하여 소자의 폐일을 판정하였다. 이로 인하여 다수의 소자를 양산하기 위한 테스트시에는 효율이 떨어지는 문제점이 있었다.

<21> 즉, 테스터기의 데이터 출력용으로 할당된 핀이 N개이고, 소자의 데이터 출력패드

가 16개일 때 한번에 N/16 개의 소자를 동시에 테스트하는 것이 가능하였다.

<22> 또한, 종래의 메모리소자는 독출 데이터 비교블럭을 통해 코아셀영역으로부터 독출된 데이터를 비교하여 메모리소자가 폐일이 발생되었는지의 여부를 판정하여 하나의 어출력단자(SI01)를 통해 그 결과(Error\_out)를 출력하였다. 그러나, 종래의 메모리소자는 독출된 데이터를 비교하여 폐일여부를 판정하는 것은 가능하였으나, 코아셀영역(10)의 어느 곳에서 폐일이 발생되었는지 알 수 없는 문제점이 있었으며, 이로 인하여 리페어셀을 찾아내야 하는 웨이퍼레벨 테스트에는 부적합한 문제점이 있었다.

<23> 본 발명은 상기한 바와같은 종래기술의 문제점을 해결하기 위한 것으로서, 테스트 시간을 감소시킬 수 있는 데이터 압축방법 및 프리페치된 데이터출력구조를 갖는 패킷 명령어 구동형 메모리소자를 제공하는 데 그 목적이 있다.

<24> 본 발명의 다른 목적은 메모리소자에 폐일발생시 폐일이 발생한 어드레스를 정확하게 파악할 수 있는 데이터 압축방법 및 프리페치된 데이터 출력구조를 갖는 패킷 명령어 구동형 메모리소자를 제공하는 데 그 목적이 있다.

<25> 본 발명의 다른 목적은 데이터 입출력부의 시프트 레지스터 앞단에 데이터의 종류를 판별할 수 있는 회로를 부가하여 노말 동작시와 DA 모드 테스트시 선택적으로 데이터를 출력할 수 있는 패킷 명령어 구동형 메모리소자를 제공하는 데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<26> 상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 출력데이터 압축방법은 코어 셀 영역중 해당하는 어드레스로 제1의 일정비트의 데이터를 기입하고, 상기 어드레스에 기입된 제1의 일정비트의 데이터를 독출하며, 상기 기입된 데이터와 독출된 데이터를 상



위 일정비트와 하위일정비트로 나누어 비교하여 폐일여부에 대한 정보를 갖는 1비트의 압축된 데이터를 발생하는 것을 특징으로 한다.

<27> 또한, 본 발명은 정상모드에서는 코아셀영역으로부터 독출되어 제1의 일정비트로 데이터를 프리페치하는 단계와; 테스트모드에서는 코어 셀 영역의 해당하는 어드레스에 제1의 일정비트의 데이터를 기입하는 단계와; 상기 코아셀영역의 상기 어드레스에 기입된 제1의 일정비트의 데이터를 독출하여 프리페치하는 단계와; 기입된 일정비트의 데이터와 독출된 일정비트의 데이터를 상위 일정비트의 데이터와 하위일정비트로 나누어 비교하는 단계와; 비교결과에 따라서 폐일여부에 대한 정보를 갖는 1비트의 데이터로 압축하여 제1의 일정비트의 에러신호를 발생하는 단계와; 상기 제어신호에 따라서, 정상모드에서는 프리페치된 제1의 일정비트의 데이터를 선택하거나 또는 테스트 모드시에는 제1의 일정비트의 에러신호를 선택하는 단계와; 정상모드에서는 선택된 일정비트의 데이터를 클럭신호의 상승에지와 하강에지에서 시프트시켜 다수의 출력패드를 통해 시리얼하게 출력하는 단계와; 테스트모드에서는 선택된 일정비트의 데이터를 클럭신호의 상승에지와 하강에지에서 시프트시켜 다수의 출력패드중 해당하는 하나를 통해 시리얼하게 출력하는 단계를 포함하는 출력데이터 압축방법을 제공하는 것을 특징으로 한다.

<28> 상기 제1의 일정비트의 프리페치된 데이터 또는 기입 및 독출된 데이터는 8비트의 데이터이고, 테스트 모드시 8비트의 데이터는 상위 4비트 데이터 또는 하위 4비트의 데이터로 나뉘어 폐일정보를 갖는 1비트의 데이터로 압축되는 것을 특징으로 한다.

<29> 또한, 본 발명은 코아셀 영역으로부터 독출된 제1의 일정비트의 데이터를 입력하고 비교하여 제2비트의 압축된 데이터를 발생하는 독출 데이터 비교블럭과; 상기 독출 데이터 비교부를 통해 압축된 데이터 또는 코아셀 영역으로부터 독출된 데이터를 시프트하

고 클럭신호에 따라 직렬 데이터로 변환하기 위한 데이터 입출력블럭과; 상기 데이터 입출력블럭을 통해 독출된 데이터를 상기 클럭신호에 따라 시리얼하게 출력패드를 통해 패킷형태로 출력하기 위한 인터페이스블럭을 구비하는 패킷명령어 구동형 메모리소자를 제공하는 것을 특징으로 한다.

<30>      상기 독출 데이터 비교블럭은 상기 제어신호에 따라서 8비트의 프리페치된 데이터 중 상위 또는 하위 4비트의 데이터를 입력 비교하여 패일정보를 갖는 각각 1비트의 압축 데이터를 발생하는 다수의 비교기와; 상기 제어신호에 따라서 정상모드시에는 8비트의 프리페치된 데이터를 선택하고 테스트모드시에는 다수의 비교기중 해당하는 4비교기로부터 압축된 8비트의 데이터를 선택하는 선택수단을 구비한다.

<31>      상기 각 비교기는 상기 제어신호에 따라서 상기 기입된 4비트 데이터와 독출된 4비트 데이터를 입력하여 각각 1비트씩 비교하여 제1 내지 제4비교신호를 발생하는 제1 내지 제4비교수단과; 상기 제1 내지 제4비교수단으로부터 발생된 제1 내지 제4비교신호를 입력하여 패일여부에 대한 정보를 갖는 1비트의 압축된 데이터를 발생하는 발생수단을 구비하는 것을 특징으로 한다.

<32>      상기 제1비교수단 내지 제4비교수단은 각각 기입된 4비트의 데이터중 해당하는 1비트의 신호와 상기 제어신호를 입력으로 하는 제1낸드 게이트와; 독출된 4비트의 데이터중 해당하는 1비트의 신호와 상기 제어신호를 입력으로 하는 제2낸드 게이트와; 상기 제1 및 제2낸드 게이트의 출력을 두 입력으로 하는 제3낸드 게이트와; 상기 제2 및 제1낸드 게이트의 출력이 각각 게이트에 인가되고 제1 및 제2낸드 게이트의 출력이 드레인에 연결되는 제1 및 제2NMOS 트랜지스터와; 상기 제1 및 제2낸드 게이트의 출력이 각각 게이트에 인가되고 전원전압과 상기 제1 및 제2NMOS 트랜지스터의 소오스사이에 직렬연

결된 제1 및 제2PMOS 트랜지스터와; 상기 제3낸드 게이트의 출력이 게이트에 인가되고 소오스에 전원전압이 인가되며 드레인이 상기 제1 및 제2NMOS 트랜지스터의 소오스와 제1 및 제2PMOS 트랜지스터의 드레인에 연결되는 제3PMOS 트랜지스터를 구비하여서, 공통 연결된 제1 및 제2NMOS 트랜지스터의 소오스와 제1 내지 제3PMOS 트랜지스터의 드레인을 통해 각각 제1 내지 제4비교신호를 발생하는 것을 특징으로 한다.

<33>       상기 발생수단은 상기 제1 내지 제4비교수단으로부터 발생된 제1비교신호 내지 제4비교신호를 입력하여 페일정보를 갖는 1비트의 압축된 데이터를 발생하는 제4낸드 게이트를 구비하는 것을 특징으로 한다.

<34>       또한, 본 발명은 코아셀 영역으로부터 독출된 8비트의 데이터를 입력하고 비교하여 제4비트의 압축된 데이터를 발생하는, 상기 제어신호에 따라서 8비트의 프리페치된 데이터중 상위 또는 하위 4비트의 데이터를 입력 비교하여 페일정보를 갖는 각각 1비트의 압축데이터를 발생하는 다수의 비교기와; 상기 제어신호에 따라서 정상모드시에는 8비트의 프리페치된 데이터를 선택하고 테스트모드시에는 다수의 비교기중 해당하는 4비교기로부터 압축된 8비트의 데이터를 선택하는 선택수단을 구비하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자. 상기 제어신호에 따라서 8비트의 프리페치된 데이터중 상위 또는 하위 4비트의 데이터를 입력하여 비교하여 2비트의 비교신호를 각각 발생하는 다수의 비교기와, 상기 제어신호에 따라서 정상모드시에는 8비트의 프리페치된 데이터를 선택하고 테스트모드시에는 다수의 비교기중 해당하는 4비교기로부터 압축된 8비트의 데이터를 선택하는 선택수단을 구비하는 독출 데이터 비교블럭과; 상기 독출 데이터 비교부를 통해 압축된 데이터 또는 코아셀 영역으로부터 독출된 데이터를 시프트하고 클럭신호에 따라 직렬 데이터로 변환하기 위한 데이터 입출력블럭과; 상기 데이터 입출력부를

통해 독출된 데이터를 상기 클럭신호에 따라 시리얼하게 출력패드를 통해 출력하기 위한 인터페이스블럭을 구비하는 패킷명령어 구동형 메모리소자를 제공하는 것을 특징으로 한다.

<35> 이하 본 발명의 실시예를 첨부된 도면에 의거하여 설명하면 다음과 같다.

<36> 도 3은 본 발명의 실시예에 따른 패킷 명령어 구동형 메모리소자의 데이터패스구조를 도시한 것이다. 본 발명의 실시예에 따른 패킷 명령어 구동형 메모리소자의 데이터패스는 코어 셀영역(100), 칼럼 콘트롤블럭(200), 데이터 입출력블럭(300), 인터페이스블럭(400) 및 데이터 패드(DQA 또는 DQB) 그리고 정상 모드시 독출된 데이터 또는 DA 모드 테스트시 파일정보를 갖는 압축 데이터를 선택적으로 출력하기 위한 독출 데이터 비교블럭(500)이 상기 칼럼 콘트롤블럭(200)와 데이터 입출력블럭(300)사이에 배열된 구조를 갖는다.

<37> 도 4는 도 3의 데이터 패스구조도에서 B 부분(점선부분)에 대한 상세도를 도시한 것으로서, 코어 셀영역(100)으로부터 출력패드(DQ)로의 데이터가 독출 데이터 비교블럭(500)을 통해 정상동작시 또는 DA 모드 테스트시 선택적으로 데이터가 출력되는 패스를 보여주는 도면이다.

<38> 도 4를 참조하면, 본 발명의 실시예에 따른 메모리소자에 있어서, 독출 데이터 비교블럭(500)은 DA 모드 테스트시 제어신호(S\_DATEST)에 따라서, 코어셀영역(100)으로부터 독출된 8비트 데이터 RD<0:7>를 입력하고, 상위 4비트의 데이터 RD<0:3> 및 하위 4비트의 데이터 RD<4:7>를 압축하여 파일여부에 대한 정보를 갖는 각각 1비트 데이터 error<0> - error <7>를 발생하는 다수의 비교기(501 - 508)와, 상기 제어신호(S\_DATEST)에 따라서 정상모드시에는 코어셀 영역(100)으로부터 독출된 8비트의 데이터

RD<0:7> 또는 DA 모드 테스트시에는 상기 비교기(501-508)로부터 압축된 데이터 error <0:7>를 선택하기 위한 멀티플렉서(509 - 512)을 구비한다.

<39> 상기한 바와같은 구조를 갖는 본 발명의 메모리소자의 데이터 패스동작을 설명하면 다음과 같다.

<40> 먼저, 정상모드시에는 외부로부터 로우상태의 제어신호(S\_DATEST)가 인가되어 비교기(501 - 508)는 디스에이블되고, 멀티플렉서(509 - 512)는 상기 제어신호(S\_DATEST)에 따라서 제1입력단자(I0)로 인가되는 코어 셀영역(100)으로부터 독출된 8비트 데이터 RD<0:7>를 선택하고, 멀티플렉서(509 - 512)로부터 출력되는 데이터 New RD<0:7>는 입출력부(300)의 시프트 레지스터블럭(301 - 304)를 통해 직렬 데이터로 변환한다.

<41> 이때, 각 시프트 레지스터블럭(301-304)에 대한 상세도가 도시된 도 5를 참조하면, 멀티플렉서(509 - 512)를 통해 전송되는 데이터 New RD<0:7>중 우수 데이터 New RD<0,2,4,6>는 클럭신호(tclk)에 따라서 우수 데이터용 시프트 레지스터(301-1), (302-1), (303-1), (304-1)를 통해 시프트되고, 기수 데이터 New RD<1,3,5,7>는 기수 데이터용 시프트 레지스터(301-2), (302-2), (303-2), (304-2)를 통해 시프트된다.

<42> 데이터 입출력블럭(300)의 시프트 레지스터블럭(301, 302, 303, 304)를 통해 직렬 변환된 데이터는 인터페이스블럭(400)의 멀티플렉서 및 드라이버(401, 402, 403, 404)를 통해 클럭신호(TestClkR)에 동기되어 각 출력패드(DQA0-DQA7 또는 DQB0-DQB7)를 통해 시리얼하게 출력된다.

<43> 즉, 상기 시프트 레지스터블럭(301 - 304)의 각 우수용 시프트레지스터를 통해 전송되는 우수 데이터는 클럭신호(TestClkR)의 상승에지에서 인터페이스블럭(400)을 통해

해당하는 데이터패드로 전송되고, 기수용 시프트 레지스터를 통해 전송되는 기수 데이터는 클럭신호(TestClkR)의 하강에지에서 인터페이스블럭(400)을 통해 해당하는 데이터 패드로 전송함으로써, 각 데이터패드(DQA0-DQA7), (DQB0-DQB7)를 통해 4클럭동안 8비트의 직렬데이터가 패킷형태로 시리얼하게 전송된다.

<44> 한편, DA 모드 테스트시에는 상기 제어신호(S\_DATEST)가 하이상태로 천이되어 데이터 비교기(501 - 508)의 인에이블단자(EN)에 인가되므로, 각 비교기(501 - 508)는 인에이블된다. 각 비교기(501 - 508)는 코어 셀영역(100)으로부터 독출되어 프리페치된 8비트의 데이터를 4비트씩 입력하여 각각의 비교기(501-508)를 통해 압축하여 페일여부에 대한 정보를 갖는 1비트의 압축된 데이터 error<0> - error<7>를 발생하게 된다.

<45> 즉, 비교기(501, 503, 505, 507)는 코어셀 영역(100)으로부터 독출된 8비트의 데이터중 각각 상위 4비트 데이터 RD<0:3>를 입력하여 1비트 압축된 데이터 error<0>, error<2>, error<4>, error<6>를 발생하고, 비교기(502, 504, 506, 508)는 각각 하위 4비트 데이터 RD<4:7>를 입력하여 1비트 압축된 데이터 error<1>, error<3>, error<5>, error<7>를 발생한다.

<46> 독출데이터 비교블럭(500)의 각 비교블럭은 데이터 입출력블럭(300)의 각 시프트레지스터블럭(301-304)에 각각 대응하여 배열되므로, 이웃하는 4개의 데이터 패드에 대응하는 각각 8비트씩 독출된 4개의 패킷데이터는 도 4에 도시된 바와같이 독출데이터 비교블럭(500)의 이웃하는 4개의 비교블럭을 통해 비교되어 각각 1비트씩 압축된 데이터를 발생한다. 따라서, 데이터 입출력블럭(300)의 이웃하는 4개의 시프트레지스터블럭(301-304)중 해당하는 하나의 시프트레지스터블럭(301)을 통해 8비트의 데이터를 직렬

데이터로 변환한다.

<47> 따라서, 본 발명에서는 각 독출 데이터비교블럭(500)의 각 비교블럭의 2개의 비교기가 8비트의 데이터를 입력하여 2비트의 압축된 데이터를 발생하므로, 이웃하는 4개의 데이터 패드에 대응하는 각각 8비트 데이터는 각각 상위 4비트 또는 하위4비트씩 나뉘어 각 비교블럭의 비교기(501, 502), (503, 504), (505, 506), (507, 508)를 통해 각각 1비트의 데이터 error<0> - error<7> 로 압축되어 8비트의 압축 데이터 error<0:7>를 발생된다. 따라서, 이웃하는 4개의 데이터패드에 대응하여 각각 8비트씩 독출되는 32비트의 데이터는 8비트의 압축된 데이터 error<0:7>로 압축되어 독출 데이터비교블럭(500)의 각 비교블럭중 해당하는 비교블럭에 배열된 멀티플렉서(509)의 제2입력단자(I1)로만 제공된다.

<48> 멀티플렉서(509)는 상기 제어신호(S\_DATEST)에 따라서 각 비교기(501 - 508)를 통해 압축된 데이터 error<0:7>를 선택하게 되고, 멀티플렉서(509)를 통해 선택된 데이터 NewRD<0:7>는 시프트 레지스터블럭(301)를 통해 병렬 데이터로 시프트되고 인터페이스블럭(400)의 멀티플렉서 및 드라이버를 통해 직렬 데이터로 변환되어 이웃하는 4개의 패드(DQB0-DQB3)중 해당하는 하나의 출력패드(DQB0)를 통해 출력한다.

<49> 이때, 멀티플렉서(510-512)의 제2입력단자(I2)는 접지되어 상기 제어신호(S\_DATEST)에 따라서 로우상태의 데이터 NewRD<0:7>를 시프트 레지스터블럭(302-304)로 전송하므로 이웃하는 4개의 데이터 패드중 나머지 3개의 데이터패드 DQ1-DQ3 에는 아무런 영향을 주지 않게 된다.

<50> 따라서, DA 모드 테스트시에는 출력패드 DQB0를 통해 시리얼하게 출력되는 8비트의 데이터를 이용하여 불량여부를 판정하게 되는 것이다.

- <51> 도 5는 본 발명의 실시예에 따른 프리페치된 데이터 출력구조를 갖는 메모리소자에 있어서, 데이터 입출력부의 시프트 레지스터블럭(301 - 304)의 일예를 도시한 것이다.
- <52> 본 발명에서는 시프트 레지스터블럭(301 - 304)는 멀티플렉서(509 - 512)를 통해 인가되는 8비트의 데이터  $NewRD<0:7>$ 중 우수 데이터를 클럭신호( $TestClkR$ )의 상승에지에서 시프트하기 위한 우수 데이터용 제1시프트 레지스터(301-1 내지 304-1)와, 멀티플렉서(509 - 512)를 통해 인가되는 8비트의 데이터  $NewRD<0:7>$ 중 기수 데이터를 클럭신호( $TestClkR$ )의 하강에지에서 시프트하기 위한 기수 데이터용 제2시프트 레지스터(301-2 내지 304-2)를 구비한다.
- <53> 도 6는 본 발명의 실시예에 따른 메모리소자에 있어서, 각 비교기(301-304)의 일예를 도시한 것으로서, 비교기(301)를 예를 들어 설명한다.
- <54> 도 6을 참조하면, 본 발명의 독출 데이터 비교블럭(500)은 8비트의 데이터  $WD<0:7>$ 를 코아셀영역(100)으로 저장한 다음 바로 8비트의 데이터  $RD<0:7>$ 를 독출하여 4비트씩 비교하기 위한 다수의 비교기(501-508)를 구비하는데, 각 비교기(501-508)는 제어신호( $S\_DATEST$ )에 따라서 기입된 8비트의 데이터  $WD<0:7>$ 중 상위 4비트 데이터  $WD<0:3>$ 와 독출된 8비트의 데이터  $RD<0:7>$ 중 상위 4비트 데이터  $RD<0:3>$ 를 비교하거나 또는 기입된 8비트의 데이터  $WD<0:7>$ 중 하위 4비트의 데이터  $WD<4:7>$ 와 독출된 8비트의 데이터  $WD<0:7>$ 중 하위 4비트의 데이터  $RD<4:7>$ 를 비교한다.
- <55> 이러한 비교기는 각각 기입된 4비트의 데이터  $WD<0:3>$  또는  $WD<4:7>$ 와 독출된 4비트의 데이터  $RD<0:3>$  또는  $RD<4:7>$ 를 각각 1비트씩 비교하기 위한 다수의 비교수단(521-524)과, 상기 다수의 비교수단(521-524)의 출력신호를 입력하여 패일여부에 대한



정보를 갖는 1비트의 압축된 데이터를 발생하기 위한 발생수단(525)로 이루어진다.

<56>      상기 각 비교수단(521-524)는 기입된 4비트의 데이터  $WD<0:3>$ 중 해당하는 1비트와 인에이블신호(EN)로 인가되는 제어신호( $S\_DATEST$ )를 입력하는 제1낸드 게이트(526)와, 독출된 4비트의 데이터  $RD<0:3>$ 중 해당하는 1비트와 인에이블신호(EN)로 인가되는 제어신호( $S\_DATEST$ )를 입력하는 제2낸드 게이트(527)와, 게이트에 제2낸드 게이트(527)의 출력이 인가되고 드레인이 상기 제1낸드 게이트(526)의 출력에 연결되는 제1NMOS 트랜지스터(528)와, 게이트에 제1낸드 게이트(528)의 출력이 인가되고 드레인이 상기 제2낸드 게이트(527)의 출력에 연결되는 제2NMOS 트랜지스터(529)와, 게이트에 각각 제1 및 제2낸드 게이트(526), (527)의 출력신호가 인가되고 전원전압( $V_{cc}$ )과 상기 제1 및 제2NMOS 트랜지스터(528, 529)의 소오스 사이에 직렬연결되는 제1 및 제2PMOS 트랜지스터(530, 531)과, 상기 제1 및 제2낸드 게이트(526, 527)의 출력신호를 입력으로 하는 제3낸드 게이트(532)와, 상기 제3낸드 게이트의 출력이 게이트에 인가되고 전원전압이 소오스에 인가되며 드레인이 상기 제1 및 제2NMOS 트랜지스터(528, 529)의 소오스와 상기 제1 및 제2PMOS 트랜지스터(530, 531)의 드레인에 연결되는 제3PMOS 트랜지스터(533)로 구성되어, 공통 연결된 상기 제1 및 제2NMOS 트랜지스터(528, 529)의 소오스와 제1 내지 제3PMOS 트랜지스터(530, 531, 533)의 드레인을 통해 제1비교신호( $OUT1$ ) 내지 제4비교신호( $OUT4$ )를 각각 발생한다.

<57>      상기 발생수단(525)은 상기 제1 내지 제4비교수단(521-524)으로부터 발생하는 제1 내지 제4비교신호( $OUT1 - OUT4$ )를 입력하여 페일여부에 대한 정보를 갖는 1비트의 압축된 데이터  $ERROR<0:7>$ 를 발생한다.

- <58>      상기한 바와같은 구성을 갖는 본 발명의 각 비교기의 동작을 설명하면 다음과 같다.
- <59>      각 비교기에 인가되는 1비트의 독출된 데이터와 1비트의 기입된 데이터가 동일한 경우에는, 예를 들어 '0'로 동일한 경우에는, 제1 및 제2낸드 게이트(526, 527)의 출력이 모두 하이상태로 되고, 제1 및 제2NMOS 트랜지스터(528, 529)가 턴온되고, 제1 및 제2낸드 게이트(528, 529)의 출력을 입력으로 하는 낸드 게이트(532)의 출력이 로우상태로 되어 PMOS 트랜지스터(533)가 턴온된다. 따라서, 각 비교수단(521-524)는 모두 하이상태의 비교신호(OUT1-OUT4)를 출력하게 되고, 이에 따라 발생수단의 낸드 게이트(525)를 통해 로우상태의 압축 데이터 error<0:7>를 각각 발생하게 된다.
- <60>      한편, 각 비교기에 인가되는 1비트의 독출된 데이터와 1비트의 기입된 데이터가 '1'로 동일한 경우에는, DA 모드 테스트시 인에이블신호(EN)인 제어신호(S\_DATEST)신호가 하이상태이므로 낸드 게이트(526, 527)의 출력이 모두 로우상태로 되고, 이에 따라 NMOS 트랜지스터(528, 529)는 턴오프되고, PMOS 트랜지스터(530, 531)가 턴온된다. 따라서, 각 비교기의 비교수단(521-524)으로부터 출력되는 제1 내지 제4비교신호(OUT1-OUT4)는 모두 하이상태로 되어 발생수단(525)의 낸드 게이트를 통해 로우상태의 압축된 데이터 error<0:7>를 출력하게 된다.
- <61>      다음, 1비트의 기입된 데이터와 1비트의 독출된 데이터가 서로 다른 경우에는, 예를 들어 기입된 데이터 WD 가 하이상태 및 독출된 데이터 RD 가 로우상태인 경우에는 제1NMOS 트랜지스터(528)가 턴오프되고 제2NMOS 트랜지스터(529)가 턴온되며, 반대로 기입된 데이터 WD 가 로우상태 및 독출된 데이터 RD 가 하이상태인 경우에는 제1NMOS 트랜

지스터(528)가 턴온되고 제2NMOS 트랜지스터(529)가 턴오프되고, 이에 따라 제1PMOS 트랜지스터(530)와 제2PMOS 트랜지스터(531)가 동시에 턴온되지 않게 됨과 동시에 제3PMOS 트랜지스터(533)가 턴오프된다.

<62> 따라서, 각 비교기의 비교수단(521-524)은 각각 로우상태의 비교신호(OUT1-OUT4)를 발생하게 되고, 이들을 입력으로 하는 발생수단의 낸드 게이트(525)의 출력이 하이상태로 되어 압축된 1비트의 데이터 error<0:7>를 출력하게 된다.

<63> 상기에서 설명한 바와 같이 비교기의 각 비교수단(521-524)은 기입된 1비트의 데이터와 독출된 1비트의 데이터를 비교하기 위한 것으로서 두 입력이 동일한 경우에는 하이상태의 신호를 발생하고 두 입력이 서로 다른 경우에는 로우상태의 신호를 발생하는 익스클루시브 노아 게이트와 같은 논리동작을 수행하게 된다.

<64> 본 발명은 상기에서 설명한 바와같이 독출 데이터 비교블럭(500)을 통해 코아셀영역(100)에 기입된 8비트의 데이터중 상위 또는 하위 4비트의 데이터와 코아셀영역으로부터 독출된 8비트의 데이터중 상위 또는 하위 4비트의 데이터를 비교하여 페일여부에 대한 정보를 갖는 1비트의 압축된 데이터 error<0> - error<7>를 각각 발생하게 된다. 페일여부에 대한 정보를 갖는 4비트 데이터가 1비트씩 압축된 8비트의 에러 데이터 error<0:7>는 DQB0 패드를 통해 출력되게 된다.

<65> 이때, 압축된 1비트의 데이터 error<0> - error<7>가 로우상태인 경우에는 각 압축된 1비트의 데이터에 해당하는 4비트의 코아셀영역에 페일이 발생되지 않은 것으로 판정되고, 만약 압축된 1비트의 데이터 error<0> - error<7>가 하이상태인 경우에는 각 압축된 1비트의 데이터에 해당하는 4비트의 코아셀영역에 페일이 발생된 것으로 판정하게

된다.

<66> 예를 들어 error<0>가 하이상태인 경우에는 코아셀영역(100)중 error<0>에 대응하는 4비트의 데이터가 독출된 어드레스에 해당하는 코어셀영역(100)에 페일이 발생된 것으로 판정되는 것이고, 예를 들어 error<7>가 하이상태인 경우에는 코아셀영역(100)중 error<7>에 대응하는 4비트의 데이터가 독출된 어드레스에 해당하는 코어셀영역(100)에 페일이 발생된 것으로 판정된다. 그러므로, 본 발명에서는 8비트의 데이터를 소정의 어드레스에 해당하는 코아셀영역(100)에 기입한 다음 코어셀영역(100)중 상기 어드레스에 해당하는 영역으로부터 8비트의 데이터를 독출하여 각각 4비트단위로 비교하여 페일정보를 갖는 1비트의 압축된 데이터를 발생하므로, 메모리셀영역중 정확하게 어느 부분에 페일이 발생되었는지를 알 수 있게 된다.

<67> 본 발명의 실시예에 따른 상기 독출 데이터 비교블럭은 도면상에는 도시되지 않았으나, 코아셀영역(100)으로 기입되는 8비트의 데이터 WD<0:7>를 별도로 저장하고 있으므로, 후에 코아셀영역(100)으로부터 독출된 8비트의 데이터 RD<0:7>와 비교가능케 한다.

### 【발명의 효과】

<68> 이상에서 자세히 설명된 바와 같이, 본 발명의 데이터 압축방법은 기입된 8비트의 데이터와 독출된 8비트의 데이터를 상위 4비트 또는 하위 4비트 단위로 동일한가를 비교하여 페일정보를 갖는 1비트 데이터로 압축하여 발생함으로써 다량의 소자를 테스트하는 것이 가능하므로 테스트 타임을 감소시킬 수 있을 뿐만 아니라 테스트단가를 절약할 수 있는 이점이 있다. 또한, 압축된 데이터를 이용하여 코아셀영역중 정확하게 어느 부분에 페일이 발생되었는지를 판정하여 리페어를 용이하게 하는 이점이 있다.

<69> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

**【특허청구범위】****【청구항 1】**

코어 셀 영역중 해당하는 어드레스로 제1의 일정비트의 데이터를 기입하고, 상기 어드레스에 기입된 제1의 일정비트의 데이터를 독출하며, 상기 기입된 데이터와 독출된 데이터를 상위 일정비트와 하위일정비트로 나누어 비교하여 폐일여부에 대한 정보를 갖는 1비트의 압축된 데이터를 발생하는 것을 특징으로 하는 출력데이터 압축방법.

**【청구항 2】**

정상모드에서는 코아셀영역으로부터 독출되어 제1의 일정비트로 데이터를 프리페치하는 단계와;

테스트모드에서는 코어 셀 영역의 해당하는 어드레스에 제1의 일정비트의 데이터를 기입하는 단계와;

상기 코아셀영역의 상기 어드레스에 기입된 제1의 일정비트의 데이터를 독출하여 프리페치하는 단계와;

기입된 일정비트의 데이터와 독출된 일정비트의 데이터를 상위 일정비트의 데이터와 하위일정비트로 나누어 비교하는 단계와;

비교결과에 따라서 폐일여부에 대한 정보를 갖는 1비트의 데이터로 압축하여 제1의 일정비트의 에러신호를 발생하는 단계와;

상기 제어신호에 따라서, 정상모드에서는 프리페치된 제1의 일정비트의 데이터를 선택하거나 또는 테스트 모드시에는 제1의 일정비트의 에러신호를 선택하는 단계와;

정상모드에서는 선택된 일정비트의 데이터를 클럭신호의 상승에지와 하강에지에서 시프트시켜 다수의 출력패드를 통해 시리얼하게 출력하는 단계와;

테스트모드에서는 선택된 일정비트의 데이터를 클럭신호의 상승에지와 하강에지에서 시프트시켜 다수의 출력패드중 해당하는 하나를 통해 시리얼하게 출력하는 단계를 포함하는 것을 특징으로 하는 출력데이터 압축방법.

### 【청구항 3】

제2항에 있어서, 상기 제1의 일정비트의 프리페치된 데이터 또는 기입 및 독출된 데이터는 8비트의 데이터이고, 테스트 모드시 8비트의 데이터는 상위 4비트 데이터 또는 하위 4비트의 데이터로 나뉘어 페일정보를 갖는 1비트의 데이터로 압축되는 것을 특징으로 하는 출력데이터 압축방법.

### 【청구항 4】

코아셀 영역으로부터 독출된 제1의 일정비트의 데이터를 입력하고 비교하여 제2비트의 압축된 데이터를 발생하는 독출 데이터 비교블럭과;

상기 독출 데이터 비교부를 통해 압축된 데이터 또는 코아셀 영역으로부터 독출된 데이터를 시프트하고 클럭신호에 따라 직렬 데이터로 변환하기 위한 데이터 입출력블럭과;

상기 데이터 입출력블럭을 통해 독출된 데이터를 상기 클럭신호에 따라 시리얼하게 출력패드를 통해 패킷형태로 출력하기 위한 인터페이스블럭을 구비하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.

## 【청구항 5】

제4항에 있어서, 상기 제1의 일정비트의 프리페치된 데이터는 8비트의 프리페치된 데이터이고, 8비트의 데이터는 상위 4비트 데이터 또는 하위 4비트의 데이터로 나뉘며, 상기 상위 또는 하위 4비트의 데이터는 1비트의 신호로 압축되는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.

## 【청구항 6】

제5항에 있어서, 상기 독출 데이터 비교블럭은

상기 제어신호에 따라서 8비트의 프리페치된 데이터중 상위 또는 하위 4비트의 데이터를 입력 비교하여 페일정보를 갖는 각각 1비트의 압축데이터를 발생하는 다수의 비교기와;

상기 제어신호에 따라서 정상모드시에는 8비트의 프리페치된 데이터를 선택하고 테스트모드시에는 다수의 비교기중 해당하는 4비트로부터 압축된 8비트의 데이터를 선택하는 선택수단을 구비하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.

## 【청구항 7】

제6항에 있어서, 상기 각 비교기는

상기 제어신호에 따라서 상기 기입된 4비트 데이터와 독출된 4비트 데이터를 입력하여 각각 1비트씩 비교하여 제1 내지 제4비교신호를 발생하는 제1 내지 제4비교수단과;

상기 제1 내지 제4비교수단으로부터 발생된 제1 내지 제4비교신호를 입력하여 페일여부에 대한 정보를 갖는 1비트의 압축된 데이터를 발생하는 발생수단을 구비하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.



## 【청구항 8】

제6항에 있어서, 제1비교수단 내지 제4비교수단은 각각  
 기입된 4비트의 데이터중 해당하는 1비트의 신호와 상기 제어신호를 입력으로 하는 제1낸드 게이트와;  
 독출된 4비트의 데이터중 해당하는 1비트의 신호와 상기 제어신호를 입력으로 하는 제2낸드 게이트와;  
 상기 제1 및 제2낸드 게이트의 출력을 두 입력으로 하는 제3낸드 게이트와;  
 상기 제2 및 제1낸드 게이트의 출력이 각각 게이트에 인가되고 제1 및 제2낸드 게이트의 출력이 드레인에 연결되는 제1 및 제2NMOS 트랜지스터와;  
 상기 제1 및 제2낸드 게이트의 출력이 각각 게이트에 인가되고 전원전압과 상기 제1 및 제2NMOS 트랜지스터의 소오스사이에 직렬연결된 제1 및 제2PMOS 트랜지스터와;  
 상기 제3낸드 게이트의 출력이 게이트에 인가되고 소오스에 전원전압이 인가되며 드레인이 상기 제1 및 제2NMOS 트랜지스터의 소오스와 제1 및 제2PMOS 트랜지스터의 드레인에 연결되는 제3PMOS 트랜지스터를 구비하여서,  
 공통 연결된 제1 및 제2NMOS 트랜지스터의 소오스와 제1 내지 제3PMOS 트랜지스터의 드레인을 통해 각각 제1 내지 제4비교신호를 발생하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.

## 【청구항 9】

제8항에 있어서, 상기 발생수단은  
 상기 제1 내지 제4비교수단으로부터 발생된 제1비교신호 내지 제4비교신호를 입력

하여 파일정보를 갖는 1비트의 압축된 데이터를 발생하는 제4낸드 게이트를 구비하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.

#### 【청구항 10】

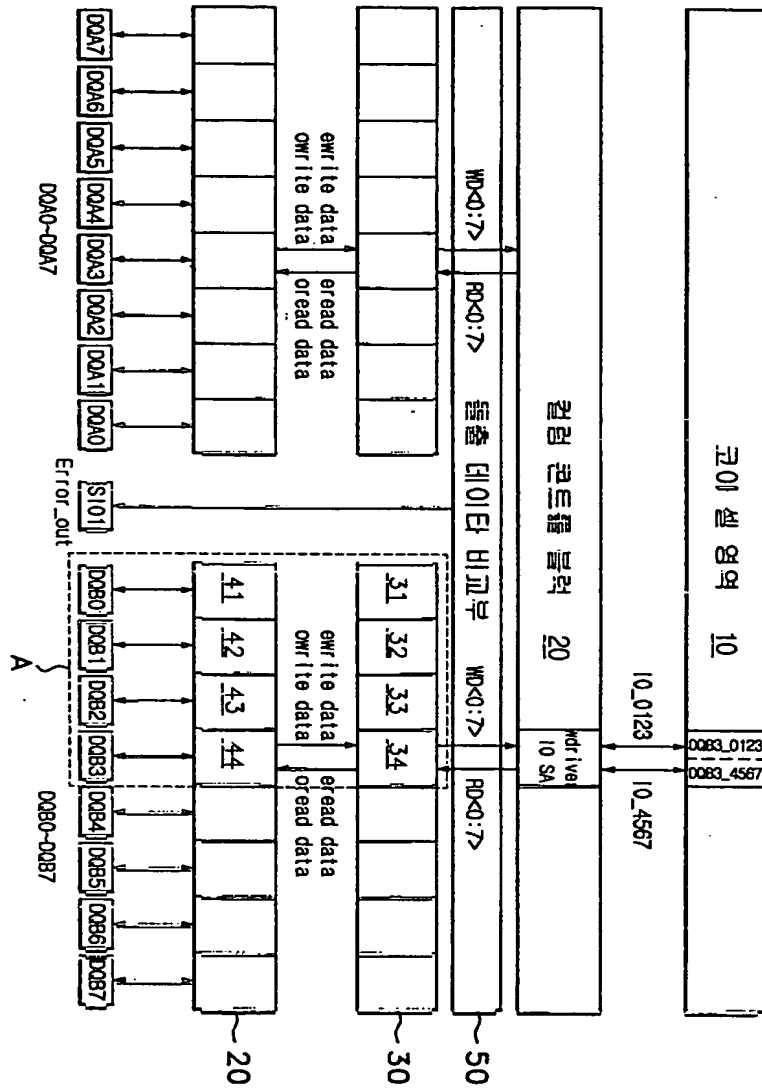
코아셀 영역으로부터 독출된 8비트의 데이터를 입력하고 비교하여 제4비트의 압축된 데이터를 발생하는, 상기 제어신호에 따라서 8비트의 프리페치된 데이터중 상위 또는 하위 4비트의 데이터를 입력 비교하여 파일정보를 갖는 각각 1비트의 압축데이터를 발생하는 다수의 비교기와; 상기 제어신호에 따라서 정상모드시에는 8비트의 프리페치된 데이터를 선택하고 테스트모드시에는 다수의 비교기중 해당하는 4비교기로부터 압축된 8비트의 데이터를 선택하는 선택수단을 구비하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.상기 제어신호에 따라서 8비트의 프리페치된 데이터중 상위 또는 하위 4비트의 데이터를 입력하여 비교하여 2비트의 비교신호를 각각 발생하는 다수의 비교기와, 상기 제어신호에 따라서 정상모드시에는 8비트의 프리페치된 데이터를 선택하고 테스트모드시에는 다수의 비교기중 해당하는 4비교기로부터 압축된 8비트의 데이터를 선택하는 선택수단을 구비하는 독출 데이터 비교블럭과;

상기 독출 데이터 비교부를 통해 압축된 데이터 또는 코아셀 영역으로부터 독출된 데이터를 시프트하고 클럭신호에 따라 직렬 데이터로 변환하기 위한 데이터 입출력블럭과;

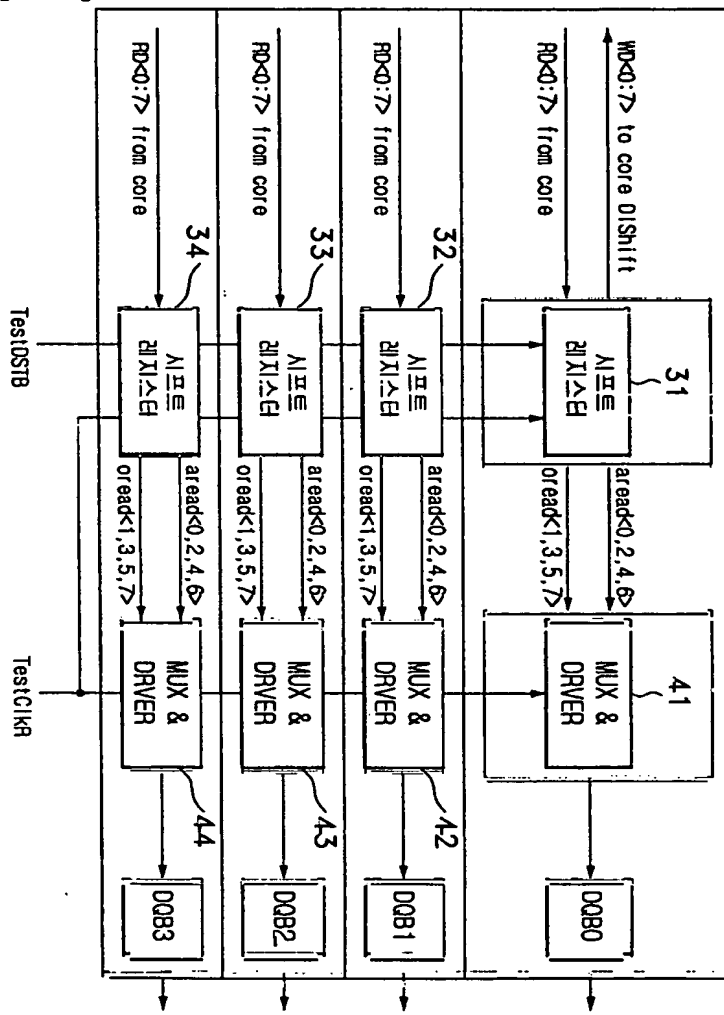
상기 데이터 입출력부를 통해 독출된 데이터를 상기 클럭신호에 따라 시리얼하게 출력패드를 통해 출력하기 위한 인터페이스블럭을 구비하는 것을 특징으로 하는 패킷명령어 구동형 메모리소자.

【도면】

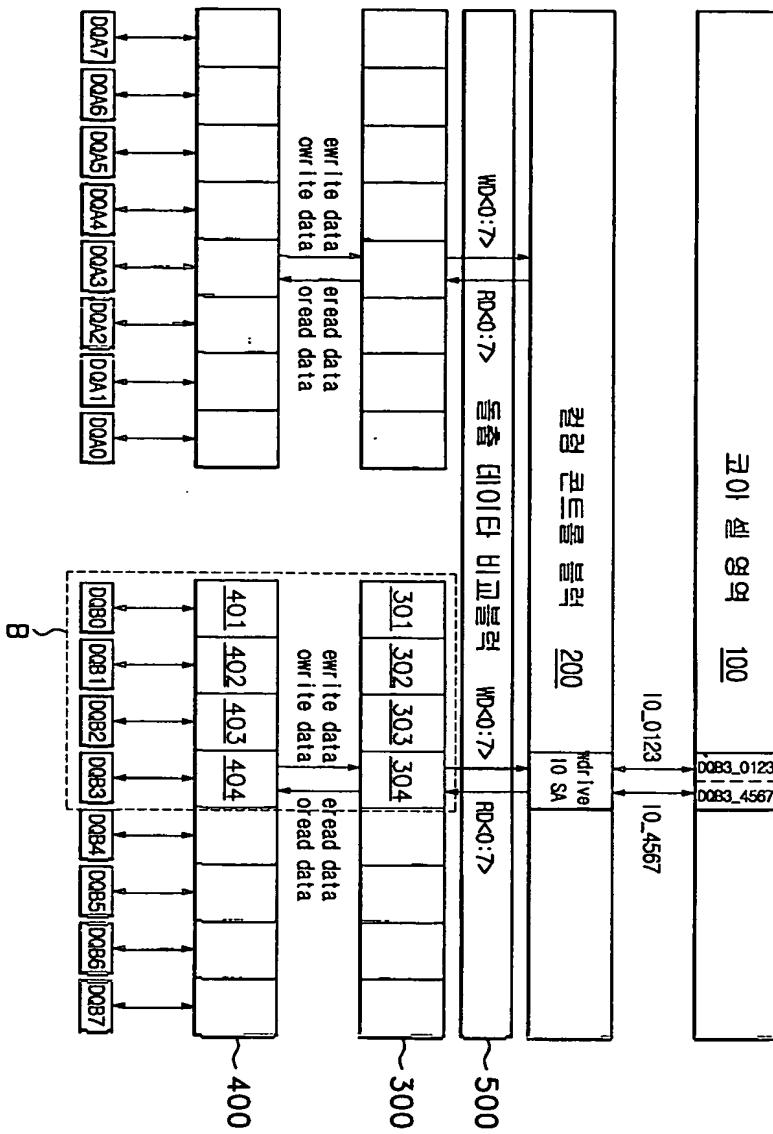
【도 1】



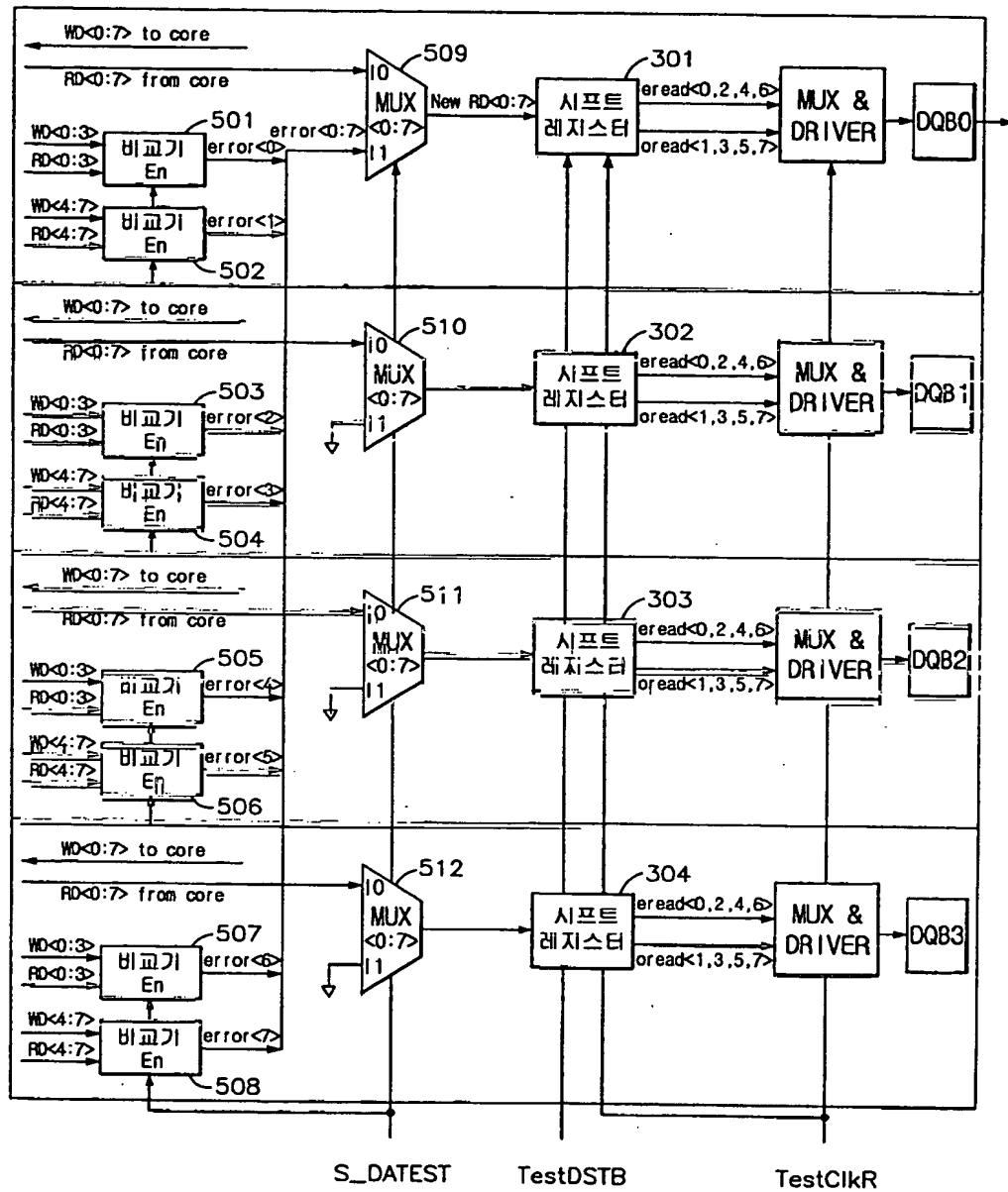
【 2】



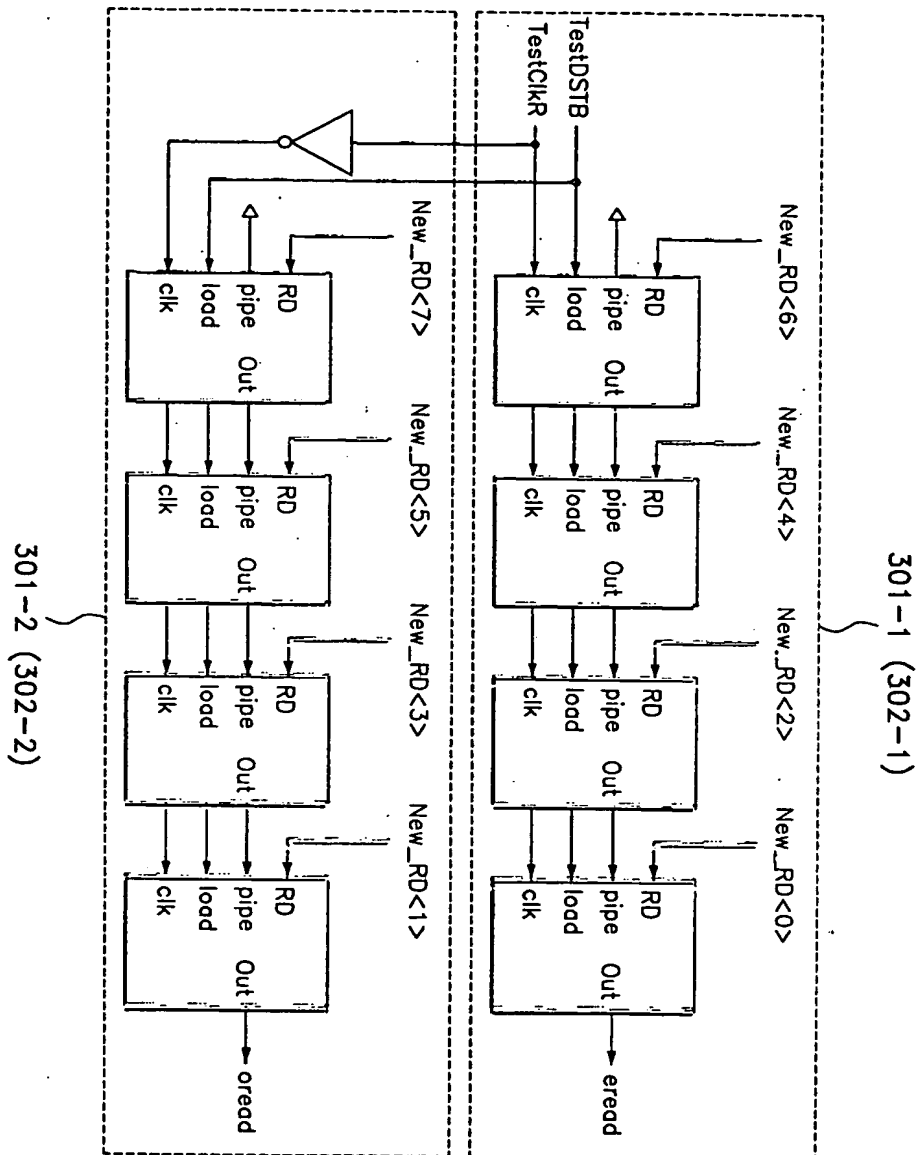
【도 3】



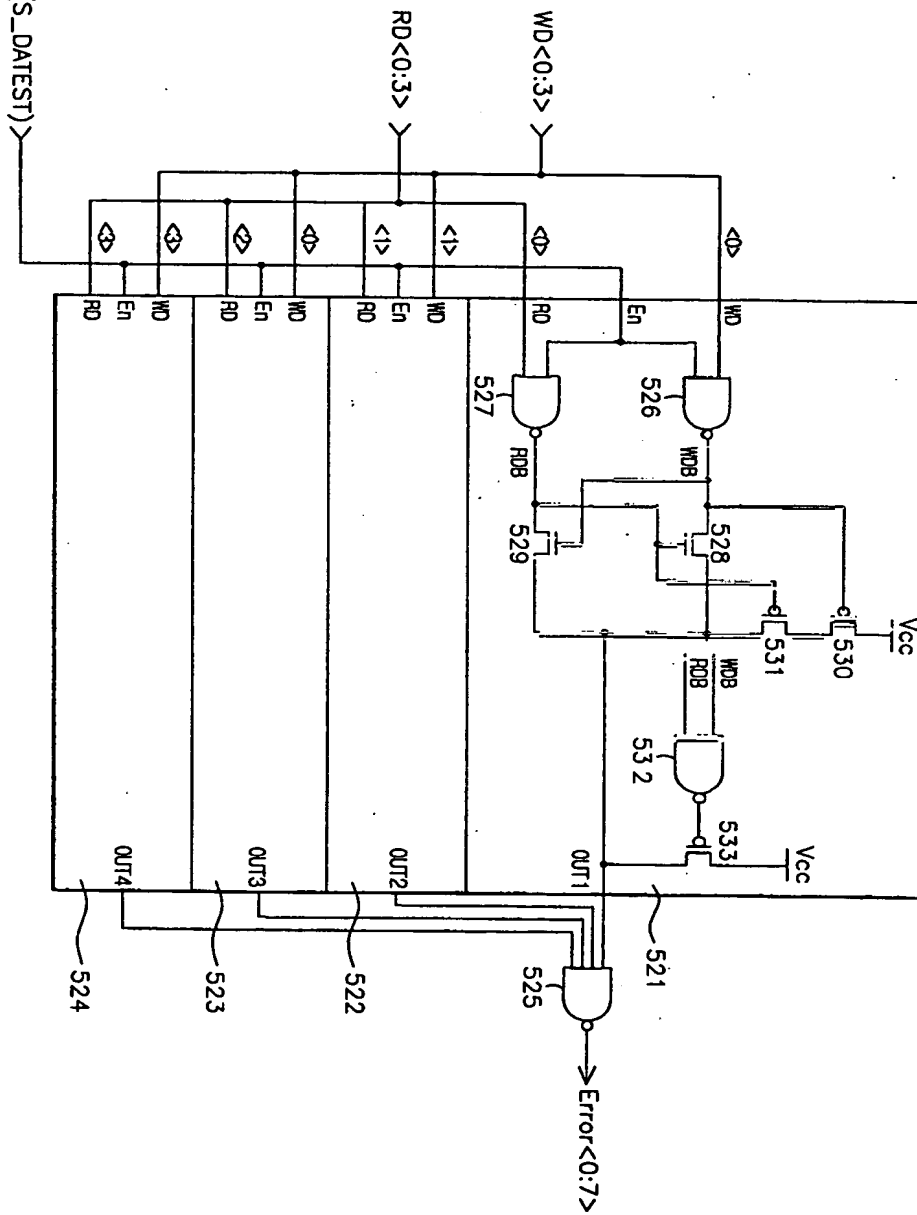
【도 4】



【도 5】



【도 6】



【도 7a】

S\_DATEST

【도 7b】

CBSEL  
CADRY

【도 7c】

COLLAT



【도 7d】

COLCYC



【도 7e】

TestWrite



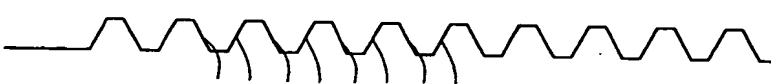
【도 7f】

TestDSTB



【도 7g】

TestClkR



【도 7h】

DQiPAD

